



Generate Collection

L1: Entry 29 of 52

File: JPAB

Feb 25, 1994

PUB-NO: JP406052328A
DOCUMENT-IDENTIFIER: JP 06052328 A
TITLE: IMAGE PROCESSOR

PUBN-DATE: February 25, 1994

INVENTOR-INFORMATION:

NAME

COUNTRY

HASHIMOTO, HIROHIKO

ASSIGNEE-INFORMATION:

NAME

COUNTRY

CANON INC

APPL-NO: JP04206412

APPL-DATE: August 3, 1992

INT-CL (IPC): G06F 15/72; B41J 21/00; G09G 5/36

ABSTRACT:

PURPOSE: To efficiently form a graphic image at high speed.

CONSTITUTION: When plotting information is received, the received information is stored in a multi FIFO memory 22 by a FIFO memory controller 21. The information is divided into data, address and control information, the respective components are provided with two banks and even during write into one bank, the component can be read from the other bank. A graphic memory 23 previously stores the data of a graphic pattern. Based on the plotting information read from the FIFO memory 22, a plotting start pixel calculation circuit 24 decides the position of the pattern in the graphic memory 23, an address generation circuit 25 generates the address of the destination to write the image, and the image is formed by writing the pattern.

COPYRIGHT: (C)1994,JPO&Japio

L1: Entry 29 of 52

File: JPAB

Feb 25, 1994

PUB-NO: JP406052328A
DOCUMENT-IDENTIFIER: JP 06052328 A
TITLE: IMAGE PROCESSOR

PUBN-DATE: February 25, 1994

INT-CL (IPC): G06F 15/72; B41J 21/00; G09G 5/36

APPL-NO: JP04206412

APPL-DATE: August 3, 1992

End of Result Set

☐ Generate Collection

L8: Entry 1 of 1

File: DWPI

May 6, 1982

DERWENT-ACC-NO: 1982-F4087E

DERWENT-WEEK: 198219

COPYRIGHT 2003 DERWENT INFORMATION LTD

TITLE: FIFO memory for data processor - has control circuit and read-write memories to operate in FIFO mode

INVENTOR: NAGASHIMA, S; OMODA, K ; TORII, S

PATENT-ASSIGNEE: HITACHI LTD (HITA), TORII S (TORII)

PRIORITY-DATA: 1980JP-0129326 (September 19, 1980)

PATENT-FAMILY:

PUB-NO	PUB-DATE	LANGUAGE	PAGES	MAIN-IPC
DE 3137292 A	May 6, 1982		053	
DE 3137292 C	June 14, 1984		000	
GB 2086623 A	May 12, 1982		000	
GB 2086623 B	March 28, 1984		000	
US 4433394 A	February 21, 1984		000	
US 4734850 A	March 29, 1988		000	
US 4809161 A	February 28, 1989		000	
US 5295252 A	March 15, 1994		020	G06F012/06

APPLICATION-DATA:

PUB-NO	APPL-DATE	APPL-NO	DESCRIPTOR
DE 3137292A	September 18, 1981	1981DE-3137292	
US 4433394A	September 17, 1981	1981US-0303186	
US 4734850A	February 17, 1984	1984US-0581077	
US 4809161A	November 18, 1985	1985US-0799018	
US 5295252A	September 17, 1981	1981US-0303186	Div ex
US 5295252A	February 17, 1984	1984US-0581077	Div ex
US 5295252A	November 18, 1985	1985US-0799018	Div ex
US 5295252A	January 13, 1989	1989US-0296827	
US 5295252A		US 4433394	Div ex
US 5295252A		US 4734850	Div ex
US 5295252A		US 4809161	Div ex

INT-CL (IPC): G06F 9/18; G06F 12/06; G06F 13/06; G11C 7/00; G11C 9/00; G11C 19/00

ABSTRACTED-PUB-NO: DE 3137292A

BASIC-ABSTRACT:

First in - first out (FIFO) memories with read-write capability are designed for use with data processing systems where they are used for input-output data storage in arithmetic logic units.

The memory has two data banks (47,48) that are capable of independent read and write operations. The banks are in the form of random access memories (RAM). The memories

are controlled by a read/write circuit in which there are two read/write control stages (42,43). An operational mode display circuit (41) generates an output that determines if a read or write operation is to be performed.

ABSTRACTED-PUB-NO: DE 3137292C

EQUIVALENT-ABSTRACTS:

The FIFO store uses a number of storage banks into which data can be written in and from which data can be read-out, with a display circuit indicating the write-in operating mode of each storage bank. The read/write control feeds the received data to the storage bank with the indicated write-in operating mode, while data is read-out from a storage bank whose write-in operating mode is not indicated.

Pref. the write-in operating modes for the respective storage banks are indicated sequentially, with a constant cyclic repetition interval. (17pp)d

US 4433394A

The first-in first-out memory comprises memory banks each capable of read and write modes of operation. A first indicator generates a mode indicating signal sequentially and cyclically indicating a write mode of operation for the memory banks in a predetermined order in response to a clock signal. A write control is responsive to the mode indicating signal and sequentially received data signals for writing into different memory banks according to the predetermined order and at the sequential timings.

A second indicator is responsive to an applied read request signal for generating a read address signal indicating an address of one memory bank. A read control is responsive to the mode indicating signal and the read address signal for reading out the next data signal from the indicated address. (16pp)e

US 4734850A

The data processing system has a number of FIFO memories and a number of ALUs and in which a FIFO memory may be selected to receive a set of data signals from an ALU and at the same time to be selected to provide a set of data signals to another ALU. The selected FIFO memory performs read and write operations concurrently and intermittently.

A set of data signals held by one of the FIFO memories may be transferred to a selected ALU for effecting a logical or arithmetic operation. The data signals representing the result of the logical or arithmetic operation, and the data signals representing the result of the logical or arithmetic operation by the selected ALU may be transferred to another FIFO memory.

ADVANTAGE - Fast, capable of reading and writing in one memory cycle. (18pp)d

US 4809161A

The data bands are operable independently from each other and are controlled by a circuit so that a set of received data signals are written into respective storage locations predetermined for respective data signals within respective data banks predetermined for respective data signal. The storage locations and data banks are predetermined depending upon the arrival numbers of respective received data signal and a predetermined bank order, so that storage locations for two data signals received one after another belong to different data banks arranged according to the bank order.

The data banks are controlled by the control circuit so that a set of data signals are read out according to the order of receipt of the set of data signals and from a timing before completion of the writing of the set under a condition that each data bank performs only one of write and read operations during a clock period.

USE/ADVANTAGE - Can read and write in parallel in one memory cycle. (19pp)

(19)日本国特許庁(J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号

特開平6-52328

(43)公開日 平成6年(1994)2月25日

(51)IntCl⁵

G 0 6 F 15/72

B 4 1 J 21/00

G 0 9 G 5/36

識別記号

3 5 5 A

Z

庁内整理番号

9192-5L

8804-2C

9177-5G

F I

技術表示箇所

審査請求 未請求 請求項の数5(全 9 頁)

(21)出願番号

特願平4-206412

(22)出願日

平成4年(1992)8月3日

(71)出願人 000001007

キヤノン株式会社

東京都大田区下丸子3丁目30番2号

(72)発明者 橋本 裕彦

東京都大田区下丸子3丁目30番2号 キヤ
ノン株式会社内

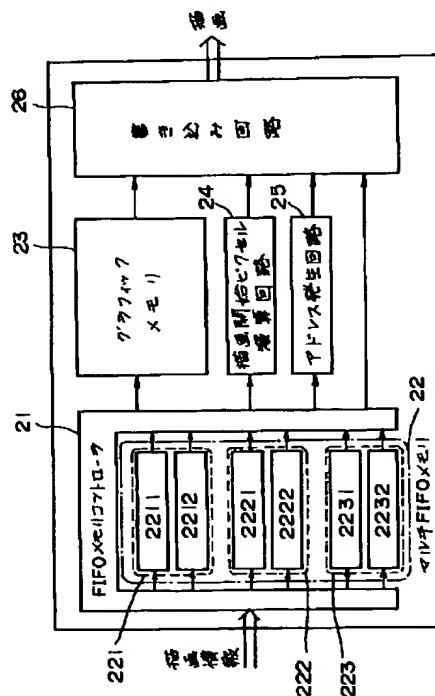
(74)代理人 弁理士 大塚 康德 (外1名)

(54)【発明の名称】 画像処理装置

(57)【要約】

【目的】効率よく高速にグラフィック画像を形成する。

【構成】描画情報を受信すると、FIFOメモリコントローラ21によりFIFOメモリ22に受信した情報を格納する。情報はデータとアドレスと制御情報とに分けられており、各々2つのバンクを有し、一方のバンクに書き込み中であっても他方から読み出しができる。グラフィックメモリ23には予めグラフィックパターンのデータを格納してある。FIFO22から読み出した描画情報を基にグラフィックメモリ23中のパターンの位置を描画開始ピクセル演算回路により決定すると共に、画像を書き込む先のアドレスをアドレス発生回路で生成し、パターンを書き込んで画像を形成する。



【特許請求の範囲】

【請求項1】 受信した画像情報に基づいて画像を形成する画像処理装置であって、
受信した画像情報を格納する格納手段と、
定型画像の情報であるグラフィック情報を記憶する記憶手段と、
前記画像情報に基づき、前記記憶手段より読み出しを開始するグラフィック情報のアドレスを決定する手段と、
前記画像情報に基づいて前記グラフィック情報を書き込むアドレス情報を生成する生成手段と、
前記生成手段によるアドレス情報に前記グラフィック情報を書き込む手段と、を備えることを特徴とする画像処理装置。

【請求項2】 前記記憶手段は、グラフィックパターンを予め受信して記憶しておくことを特徴とする請求項1記載の画像処理装置。

【請求項3】 前記記憶手段は、グラフィックパターンを予め書き込まれたROMであることを特徴とする請求項1記載の画像処理装置。

【請求項4】 前記格納手段は複数の独立したメモリバンクを有し、ひとつのメモリバンクへの画像情報の書き込みと他のメモリバンクからの画像情報の読み出しとを並行して行えることを特徴とする請求項1記載の画像処理装置。

【請求項5】 前記格納手段は、前記複数の独立したメモリバンクを受信する画像情報の種類に応じて有することを特徴とする請求項4記載の画像処理装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、たとえばグラフィックの描画等を行う画像処理装置に関する。

【0002】

【従来の技術】従来の画像描画装置においては、直線・円・円弧・矩形等のプリミティブな図形を描いて塗りつぶす機能、及び単純面塗りつぶし機能が用意されている。このような画像描画装置において、グラフィックパターンの塗りつぶしは、画像描画装置を司る中央処理装置が処理を行っており、中央処理装置はあらかじめ用意されたグラフィックパターン情報を読み出しながら、出力バッファに書き込む処理を塗りつぶし領域が終了するまで、ピクセルごとに繰り返し行っていた。

【0003】

【発明が解決しようとする課題】このため、中央処理装置によるグラフィックパターンの塗りつぶしには、単純面塗りつぶしと異なり、グラフィックパターン情報の読み出し処理が余分に加わってしまい、描画の処理に時間を要してしまうという欠点があった。

【0004】さらに上記の場合の出力バッファへの書き込み処理時、また、高速演算を行う中央処理装置によるグラフィック描画では、実際の描画図形の座標展開に要

する時間よりも、出力バッファへの書き込みアクセスに要する時間が描画全体の処理スピードを決定づけるものとなっている。このため、効率の良いグラフィック描画処理とはなっていないという欠点があった。

【0005】上記欠点は、実際に描画が行われる出力バッファのアクセス速度が、描画を行う中央処理装置の処理速度よりも遅いことに起因するものである。

【0006】本発明は、出力バッファへのグラフィック描画を行う際の上記欠点を解決し、効率よく高速に、簡潔なハードウェア構成のもとで描画を行う画像処理装置を提供することを目的とする。

【0007】

【問題点を解決するための手段】上記目的を達成するために、本発明にかかる画像処理装置は次のような構成からなる。

【0008】受信した画像情報に基づいて画像を形成する画像処理装置であって、受信した画像情報を格納する格納手段と、定型画像の情報であるグラフィック情報を記憶する記憶手段と、前記画像情報に基づき、前記記憶手段より読み出しを開始するグラフィック情報のアドレスを決定する手段と、前記画像情報に基づいて前記グラフィック情報を書き込むアドレス情報を生成する生成手段と、前記生成手段によるアドレス情報に前記グラフィック情報を書き込む手段とを備える。

【0009】

【作用】上記構成により、受信した画像情報に基づき、読み出すグラフィック情報のアドレスと書き込むアドレスとを決定し、読み出したグラフィック情報に従って画像を前記アドレスに書き込む。

【0010】

【実施例】以下、図面に基づいて本発明の一実施例である、画像描画装置を備え、それをもってグラフィックパターンによる描画を行う画像処理システムを詳細に説明する。

【0011】図1は、本実施例に係わる画像処理システムの構成を表したブロック図で、中央処理装置11、画像描画装置12、グラフィック出力のための出力バッファ13、出力装置としてのプリンタ14から構成されている。出力バッファ13へのグラフィック描画は全て画像描画装置12が行い、中央処理装置11は全ての描画情報を画像描画装置12に渡すようになっている。このような構成のシステムにおいて、画像を描き、その画像を所望のグラフィックパターンで塗りつぶす処理について説明する。

【0012】図2は画像描画装置12の構成の一例を示したブロック図である。FIFOメモリコントローラ21は、マルチFIFOメモリ22を制御する。マルチFIFOメモリ22は、描画アドレスブロック221、描画データブロック222、制御データブロック223の各機能ブロックに分けられる。さらに、各機能ブロック

3

内は、バンク2211と2212、バンク2221と2222、バンク2231と2232の各バンクに分けられている。

【0013】また、グラフィックパターン等のグラフィック情報を納めるグラフィックメモリ23はRAM（ランダムアクセスメモリ）とし、グラフィック情報は中央処理装置11からダウンロードされることにより予め用意される。描画開始ピクセル演算回路24は、FIFOメモリコントローラ21を経由して受け取った描画開始アドレスから、画像を覆う縦×横のグラフィックパターン内の描画開始ピクセルの位置を計算する。アドレス発生回路25は、FIFOメモリコントローラ21を経由して受け取った制御データによって指示される描画情報をもとに、連続したアドレスを描画して行く場合に、描画開始アドレスから連続するアドレスを発生する。書き込み回路26は、FIFOメモリコントローラ21、グラフィックメモリ23、描画開始ピクセル演算回路24、アドレス発生回路25から描画情報を受け取り、出力バッファ13へグラフィックパターンの描画を行う。

【0014】図3は、図2に示された画像描画装置12によるグラフィックパターンの描画処理動作の流れを表したものである。

【0015】まず、中央処理装置11から描画命令を受信すると共に描画開始（ステップ31）となる。中央処理装置11は描画命令と共に描画情報を送り、画像描画装置12がそれを受信してFIFOメモリコントローラ21へと書き込みを行う（ステップ32）。受信した画像情報は、アドレス情報・データ情報・制御情報と3つに分け、それぞれ対応するFIFOメモリに格納する。

【0016】次に画像描画装置12内部で、FIFOメモリコントローラ21から描画情報の読み出しを行う（ステップ33）。次に、読み出した描画情報に基づき、描画がグラフィックパターンによるものかどうか判断する（ステップ34）。描画がグラフィックパターンを用いたものである場合、用いるパターン内における描画開始ピクセルの位置を決定する演算が描画開始ピクセル演算回路24によって行われる（ステップ35）。描画開始ピクセルの位置が決まると、描こうとする画像が連続アドレスかどうかを描画情報に基づき判断する（ステップ36）。アドレスが連続する画像の描画を行う場合は、FIFOメモリから得た描画開始アドレスからアドレス発生回路25によって連続アドレスを発生する（ステップ37）。

【0017】最後に、書き込み回路26によって、グラフィックメモリ23に格納されているパターン等のグラフィック情報、パターン描画の場合は描画開始ピクセルアドレス、連続アドレス描画の場合は発生された連続アドレスに基づき、出力バッファへの描画を行う（ステップ38）。

【0018】図4は、ピラミッド型の描画図形41内を

4

3×3の格子模様のグラフィックパターン42で塗りつぶしを行う、グラフィックパターン描画の一実施例である。この例では、連続アドレス描画の実施例として、ラスト走査順にグラフィックパターンを描く、グラフィックスタパターンの描画を行う例を示している。

【0019】グラフィックパターンは画像描画装置12内部に記憶されているグラフィックメモリ23から読み出されるが、その際には画像に書き込みを開始する位置からパターンの読み出しを開始する必要がある。グラフィックパターン42内の描画開始ピクセル44は、描画図形41の上から5列目の描画開始位置43から、描画開始ピクセル演算回路24によって計算されたものである。描画が3×3のパターンを越えた領域にわたって行われる場合、パターン42内の左端のピクセル46に戻り、それからパターン42の右方向に3ドットずつ描画終了位置まで繰り返してパターン描画を行う。また、ラストの描画が行われる際、描画アドレスは連続的なアドレスとなるため、アドレス発生回路25によって発生された連続アドレスを用いる。グラフィックパターンは画像描画装置12内部に記憶されているグラフィックメモリ23から読み出されるため、中央処理装置11が読み出し・書き込みの処理を行いながら描画を行う従来のグラフィックパターンの描画よりも、高速なグラフィックパターンの描画が行われる。

【0020】図5は、マルチFIFOメモリの機能ブロック内において、2つのバンクを持った場合の、FIFOメモリコントローラ51によるバンク制御の実施例を示している。描画開始のとき、バンク1とバンク2にはデータは何も入っていない。中央処理装置11の指示により描画が開始されると、図5（a）の様に、まずバンク1に描画情報が書き込まれてゆく。バンク1が情報で満たされると、FIFOメモリコントローラ51の制御により、図5（b）の様に描画情報はバンク2に書き込まれてゆく。この時点で、バンク1の情報は読み出し可能となり、書き込み回路26等、次段の回路へ渡される情報として読み出される。従つてこの時、マルチFIFOメモリへの書き込みと、読み出しが同時並列に行われていることになる。バンク152の読み出しが終わると、図5（c）の様にFIFOメモリコントローラの制御により自動的にバンク2の読み出しが行われる。

【0021】図6は、この読み出し・書き込みのタイミングを表した図である。図6においては、画像描画装置12がFIFOメモリの読み出しを開始するタイミング t_1 から中央処理装置11から受信したデータをFIFOメモリに書き込みが終了するタイミング t_2 までの区間61において、マルチFIFOメモリへの中央処理装置11と画像描画装置12の同時並列アクセスが行われている。中央処理装置11はマルチFIFOメモリへの書き込みを終了すると、次の描画情報の演算に入る。図6では、タイミング t_2 から、画像描画装置12による

5

処理が終了するタイミングも、までの区間62がこれに当たる。区間62は、中央処理装置11が演算を行いながら、画像描画装置12が出力バッファへ描画を行っている状態である。区間62では、中央処理装置11は、実際の出力バッファ13への描画を気にすることなく次に処理を行うことができ、効率のよい描画処理が行われる。

【0022】さらに、上記2本のFIFOメモリを使用した処理は、各機能ブロック毎に同時並列に行なわれ、FIFOメモリコントローラを通して中央処理装置11から、または画像描画装置12内に描画データを効率よく入出力できるようになっている。

【0023】図7は、図5の実施例のFIFOメモリコントローラ51によるFIFOメモリのバンク制御の流れを示している。図7は、中央処理装置11がFIFOメモリコントローラ21に対して描画情報の書き込みを行なう場合のバンク制御の流れを示し、図8は、画像描画装置内部でFIFOメモリコントローラ21から描画情報の読み出しを行なう場合のバンク制御の流れを示している。これらの処理は、各機能ブロックのFIFOメモリごとに独立して行われる。図7は、図3のステップ32の処理を、図8は、図3のステップ33の処理を詳しく示したものである。

【0024】図7において、中央処理装置11の描画命令により画像描画装置12への描画情報の書き込みが開始される(ステップ711)。

【0025】まず、バンク1が空かどうかを判断する(ステップ712)。空の場合はバンク1に書き込みを行う(ステップ713)。バンク1がいっぱいになると、さらに書き込むべき描画情報があるかどうか判断し(ステップ714)、あるならばバンク2が空いているか判定し(ステップ715)、空いているとバンク2に書き込みを行う(ステップ716)。

【0026】バンク2がいっぱいになると、さらに書き込む描画情報があるかどうか判断し(ステップ717)、更なる描画情報の書き込みが必要な場合、ステップ712に戻る。中央処理装置11から受信した描画情報が全てFIFOメモリに書き込まれると終了となる(ステップ718)。

【0027】図8においては、中央処理装置11の描画装置の描画命令と共に、処理開始(ステップ721)となる。

【0028】まず、バンク1にデータがあるかどうか判断し(ステップ722)、データがあり、中央処理装置からのアクセスが終わっており読みだし可能な場合(ステップ723-YES)、バンク1からの描画情報の読み出しを行う(ステップ724)。

【0029】バンク1の情報を読み終えると、更にバンク2に描画情報があるかどうか判断し(ステップ725)、情報があっても読み出し可能な場合(ステッ

6

プ726-YES)、バンク2からの情報の読み出しを行なう(ステップ727)。読み終えると、さらに描画情報がバンク1にあるかどうか判断し(ステップ728)、データがある場合、ステップ723に戻る。バンク1・バンク2共に描画情報がなくなると読み出し終了となる(ステップ729)。

【0030】以上のバンク制御は、機能ブロックごとにそれぞれ行なわれる。この各機能ブロックごとのバンク制御により、中央処理装置11と画像描画装置12の効率のよい描画情報のやりとりが行なわれ、効率のよい画像形成が行なわれることとなる。

【0031】以上のように、本実施例の画像処理システムによれば、画像描画装置にマルチFIFOメモリ、FIFOメモリコントローラ、グラフィックメモリ、描画開始ピクセル演算回路、アドレス発生回路、書き込み回路を設けたことにより、グラフィックの描画を高速かつ効率よく自動的に描画するだけでなく、単純面塗り、また、中央処理装置によって展開できるグラフィックパターンであればどのような図形でも、簡潔なハードウェアの構成のもとでグラフィック描画処理を行なうことが可能になるといった効果がある。

【0032】なお、本実施例では画像描画装置は独立した装置として説明したが、中央処理装置あるいはプリンタに組み込まれた装置であっても良いことはもちろんである。

【0033】なお、本実施例では、マルチFIFOメモリの機能ブロックは3ブロックあったが、機能の使い分けにより3ブロックには限定されない。また各機能ブロック内のバンクは2バンクであったが、2バンク以上複数であってもよい。バンクが複数の場合FIFOメモリコントローラ21による制御は、実施例と同様の制御を順次繰り返してゆくことになる。つまり、中央処理装置11は、空のバンクに描画情報を書き込んで描画情報を満たすか、または画像処理装置12が中央処理装置11からの描画情報の書き込み処理を終えたバンクから順に読み出すことになる。バンクの書き込み順序、読み出し順序は実施例の場合、図7、図8に示されたようにバンク1、バンク2の順であったが、この順序は特に指定されない。また、グラフィックメモリの形態として、本実施例では中央処理装置11からダウンロード可能なRAMで構成されるものを示したが、あらかじめグラフィック情報を格納したROM(リードオンメモリ)で構成してもよい。

【0034】また、グラフィック描画の実施例として、縦×横が3×3のグラフィックパターンの図形描画例を示したが、縦×横の大きさは、3×3に限定されず、縦、横ともに1以上任意でよい。また、パターンは直線や点等、中央処理装置によって座標展開できるものならよく、単純塗りつぶしでも同様に描画可能である。さらに単純塗りつぶしにおいて、描画情報としてクリア情報

10

20

30

40

50

7

を指定し、出力バッファ全アドレスを描画することにより、出力バッファの全クリア機能も含まれる。

【0035】中央処理装置としては、パーソナルコンピュータ、ワークステーション、グラフィックディスプレイ等のCPUがある。

【0036】また、プリンタのほかに、CRT、液晶ディスプレイ等の出力装置により画像出力を行うこともできる。

【0037】尚、本発明は、複数の機器から構成されるシステムに適用しても1つの機器から成る装置に適用しても良い。また、本発明は、システム或は装置にプログラムを供給することによって達成される場合にも適用できることはいうまでもない。

【0038】

【発明の効果】以上説明した様に、本発明にかかる画像処理装置は、効率よく高速に、簡潔なハードウェア構成のもとで描画を行えるという効果がある。

【図面の簡単な説明】

【図1】本発明の実施例画像処理システムの構成を示した図である。

【図2】本実施例の画像描画装置のブロック図である。

【図3】本実施例の画像描画処理装置の処理動作の流れ図である。

【図4】実施例の画像処理システムによるグラフィックパターン描画の例の図である。

【図5】マルチFIFOメモリ機能ブロック内バンク制御を説明する図である。

【図6】マルチFIFOメモリ機能ブロック内バンク制御を説明するタイミング図である。

【図7】FIFOメモリコントローラによるバンク制御の流れ図である。

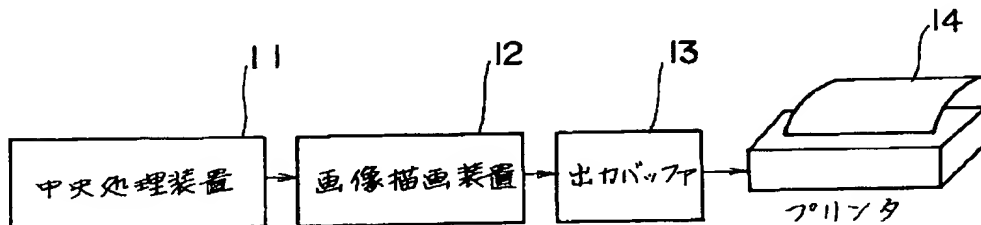
【図8】FIFOメモリコントローラによるバンク制御の流れ図である。

【符号の説明】

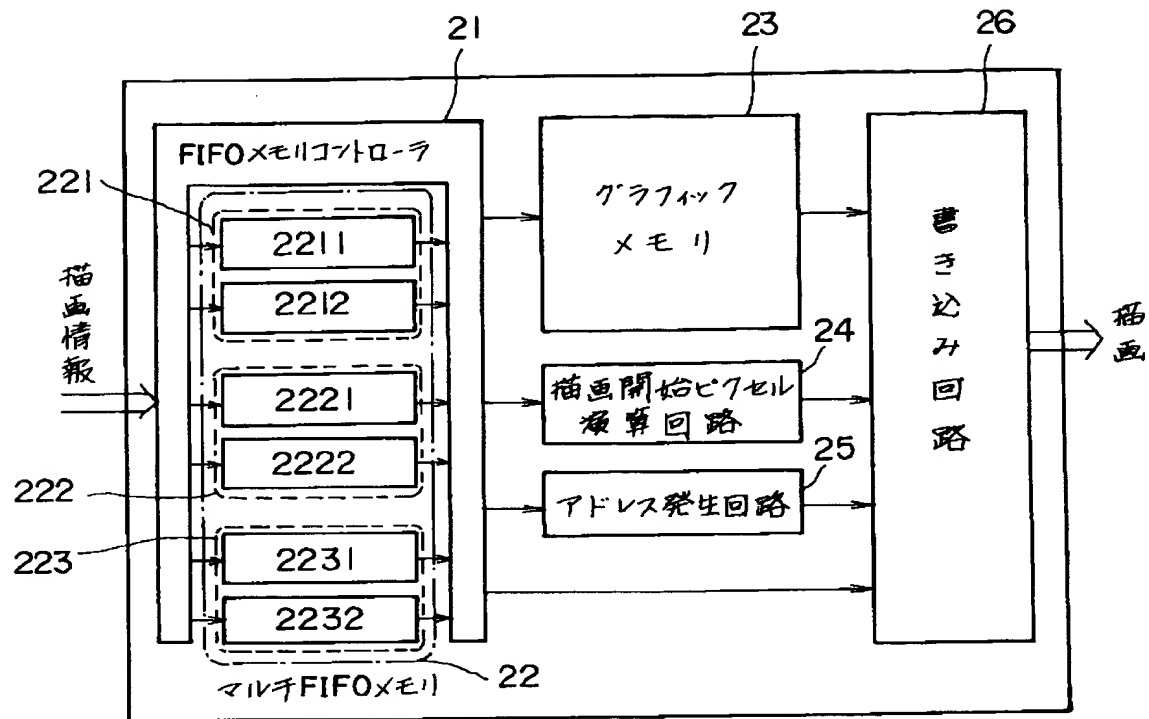
8

- 11 中央処理装置、
- 12 画像描画装置、
- 13 出力バッファ、
- 14 プリンタ、
- 21 FIFOメモリコントローラ、
- 22 マルチFIFOメモリ、
- 221 描画アドレスブロック、
- 2211 描画アドレスFIFOメモリバンク1、
- 2212 描画アドレスFIFOメモリバンク2、
- 222 描画データブロック、
- 2221 描画データFIFOメモリバンク1、
- 2222 描画データFIFOメモリバンク2、
- 223 制御データブロック、
- 2231 制御データFIFOメモリバンク1、
- 2231 制御データFIFOメモリバンク2、
- 23 グラフィックメモリ、
- 24 描画開始ピクセル演算回路、
- 25 アドレス発生回路、
- 26 書き込み回路、
- 41 描画図形の実施例、
- 42 グラフィックパターンの実施例、
- 43 描画図形内描画開始位置、
- 44 グラフィックパターン内描画開始ピクセル、
- 45 描画終了位置、
- 46 グラフィックパターン内繰り返し描画開始ピクセル、
- 51 FIFOメモリコントローラ、
- 52 バンク1、
- 53 バンク2、
- 61 中央処理装置、画像描画装置同時並列マルチFIFOメモリアクセス区間、
- 62 中央処理装置描画演算、画像描画装置マルチFIFOメモリアクセス区間である。

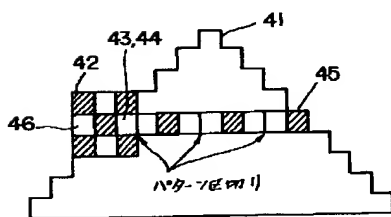
【図1】



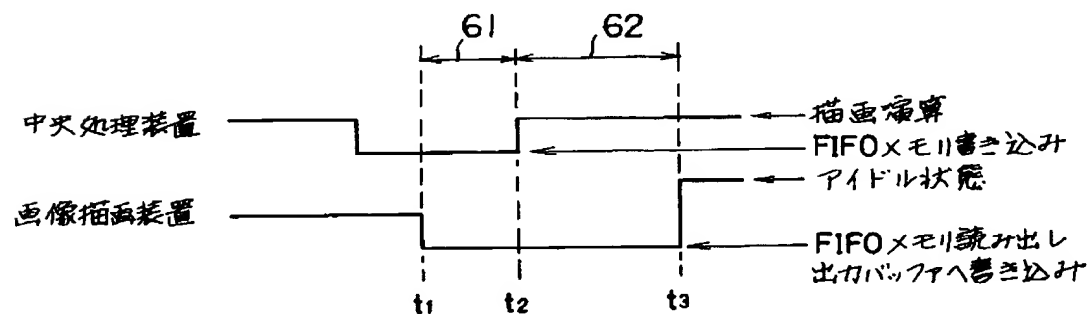
【図2】



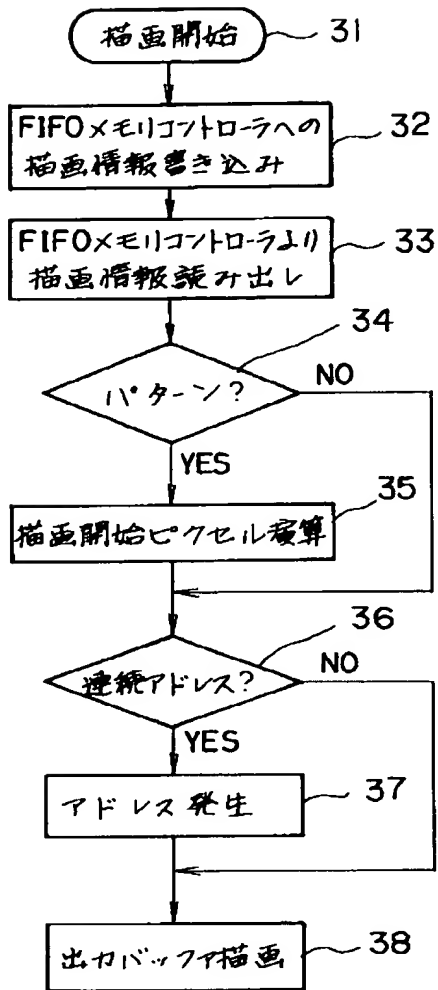
【図4】



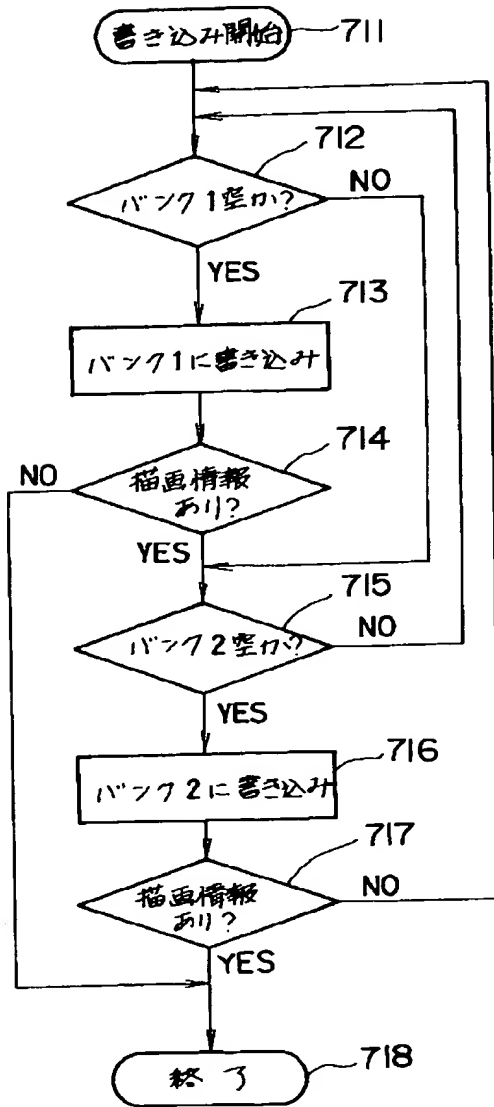
【図6】



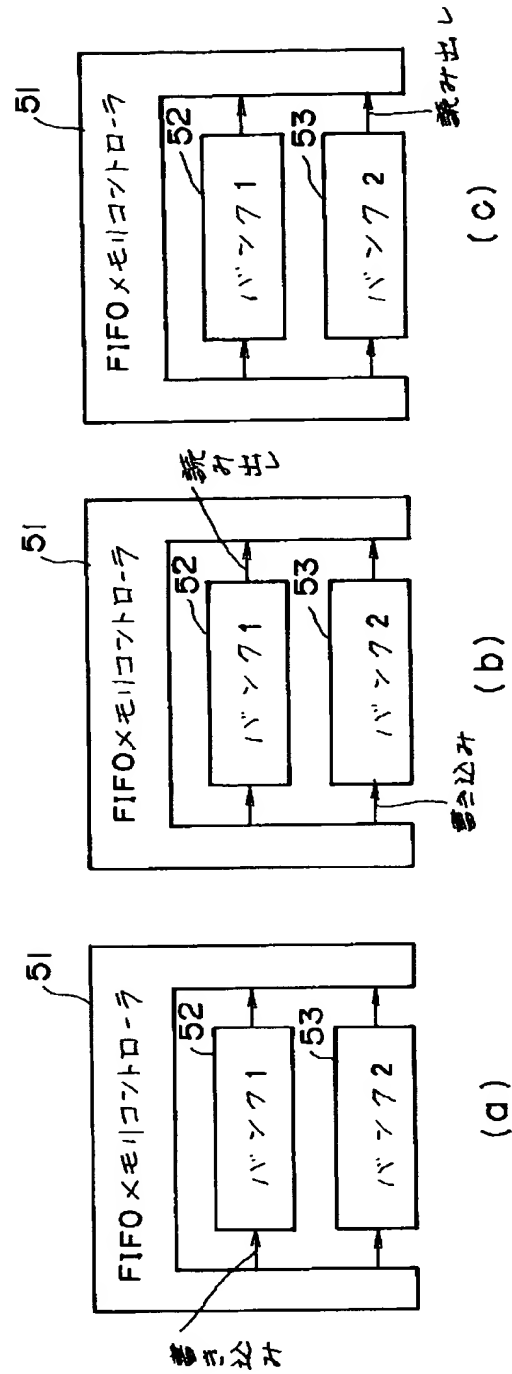
【図3】



【図7】



【図5】



【図8】

